

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Kazumasa ANDO

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: VOLTAGE LEVEL SHIFTER AND SYSTEM MOUNTING VOLTAGE LEVEL SHIFTER THEREIN

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

**COUNTRY**

Japan

**APPLICATION NUMBER**

2003-045390

**MONTH/DAY/YEAR**

February 24, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_

☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and

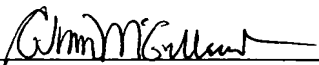
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

**C. Irvin McClelland**  
**Registration Number 21,124**



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 2 4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 4 5 3 9 0  
Application Number:

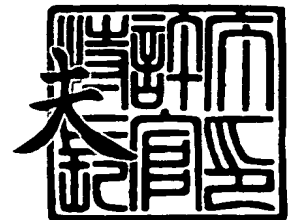
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 4 5 3 9 0 ]

出      願      人                      株式会社東芝  
Applicant(s):                      東芝エルエスアイシステムサポート株式会社

2 0 0 3 年 1 2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 0 6 7 1 0

【書類名】 特許願

【整理番号】 AHB02Y0061

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0185  
H03K 19/003

【発明の名称】 電圧レベルシフタ

【請求項の数】 3

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエス  
アイシステムサポート株式会社内

【氏名】 安藤 和正

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 598010562

【氏名又は名称】 東芝エルエスアイシステムサポート株式会社

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧レベルシフタ

【特許請求の範囲】

【請求項 1】 基準電位とこの基準電位より高い低電圧電源の電位との間の振幅を有する入力信号が入力され、低電圧電源で動作可能な第 1 の入力回路と、前記第 1 の入力回路の出力が入力される前記低電圧電源で動作可能な第 2 の入力回路と、

前記第 1 の入力回路の出力にゲートが接続された第 1 の N チャネル MOS FET と、

前記第 2 の入力回路の出力にゲートが接続された第 2 の N チャネル MOS FET と、

前記低電圧電源の電位より高い電位の高電圧電源にソースが接続され、ドレインが前記第 1 の N チャネル MOS FET のドレインに接続され、ゲートが前記第 2 の N チャネル MOS FET のドレインに接続された第 1 の P チャネル MOS FET と、

前記高電圧電源にソースが接続され、ドレインが前記第 2 の N チャネル MOS FET のドレインに接続され、ゲートが前記第 1 の N チャネル MOS FET のドレインに接続された第 2 の P チャネル MOS FET と、

前記基準電位電源にソースが接続され、ドレインが前記第 1 の N チャネル MOS FET のソースに接続され、ゲートが前記低電圧電源に接続される第 3 の N チャネル MOS FET、およびソースが前記基準電位電源に接続され、ドレインが前記第 2 の N チャネル MOS FET のソースに接続され、ゲートが前記低電圧電源に接続される第 4 の N チャネル MOS FET からなる電流遮断部とを有し、前記第 2 の P チャネル MOS FET のドレインを出力端とするレベル変換部と、

前記レベル変換部の出力端からの信号が入力されて、前記基準電位と前記高電圧電源の電位との間の振幅を有する出力信号を出力する出力回路、および前記レベル変換部の出力端を前記高電圧電源の電位または基準電位のいずれかに保持するための保持回路からなる出力保持部とを具備したことを特徴とする電圧レベルシフタ。

【請求項 2】 前記出力保持部の前記保持回路が、前記出力回路の出力端と前記レベル変換部の出力端との間に接続され、前記出力回路の出力を前記レベル変換部の出力端に帰還する帰還回路であることを特徴とする請求項 1 に記載の電圧レベルシフタ。

【請求項 3】 前記出力回路および前記帰還回路による前記帰還に要する時間が、前記レベル変換部の出力遷移の時間よりも早いことを特徴とする請求項 2 に記載の電圧レベルシフタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧レベルシフタに関し、特に信号の電圧レベルを低電圧レベルから高電圧レベルへ変換する電圧レベルシフタに関する。

【0002】

【従来の技術】

低電圧電源で動作する L S I から出力される信号を高電圧電源で動作する L S I に供給するには、高電圧電源で動作する L S I の入力部に低電圧レベルの信号を高電圧レベル信号に変換するための電圧レベルシフタが必要となる。

【0003】

従来、この種の電圧レベルシフタは、CMOS回路で構成する場合、高電圧電源に接続される P チャネル MOS F E T（以下、「PMOS」と称す。）と N チャネル MOS F E T（以下、「NMOS」と称す。）の直列回路を 2 対設け、それぞれ PMOS のドレイン出力端を互いに相手の対の PMOS のゲートに接続し、それぞれの NMOS のゲートに、互いに逆極性の低電圧レベル振幅の信号を入力して、前記 PMOS のドレイン出力端から高電圧レベルの出力信号を得るように構成されている（例えば、非特許文献 1 参照。）。

【0004】

図 5 は、このような従来の電圧レベルシフタの構成例を示す回路図である。この例では、電圧レベルシフタは、レベル変換部 101 と出力用 CMOS 型インバータ 106 により構成されている。

**【0005】**

レベル変換部101は、相補接続されたPMOS111とNMOS121から構成され、低電圧電源VDD1が供給される第1のCMOS型インバータ102と、相補接続されたPMOS112とNMOS122から構成され、低電圧電源VDD1が供給される第2のCMOS型インバータ103を備えている。

**【0006】**

また、レベル変換部101は、高電圧電源VDD2にソースが接続されるPMOS113およびPMOS114と、基準電位VSSにソースが接続されるNMOS123およびNMOS124と有しており、PMOS113とNMOS123のドレインどうしが接続され、またPMOS114とNMOS124のドレインどうしが接続されている。

**【0007】**

また、PMOS113のゲートには、PMOS114のドレイン（NMOS124のドレインと共通）が接続され、PMOS114のゲートには、PMOS113のドレイン（NMOS123のドレインと共通）が接続されており、PMOS114のドレイン（NMOS124のドレインと共通）がレベル変換部101の出力端133となっている。

**【0008】**

この構成において、低電圧レベル振幅の入力信号INは、第1のCMOS型インバータ102の入力信号となり、第1のCMOS型インバータ102の出力端131の出力信号は、第2のCMOS型インバータ103の入力信号となる。また、第1のCMOS型インバータ102の出力端131の出力信号は、NMOS123のゲート入力信号となり、第2のCMOS型インバータ103の出力端132の出力信号は、NMOS124のゲート入力信号となる。そして、出力端133よりレベル変換部101の出力信号が出力される。

**【0009】**

次に、レベル変換部101の出力端133の出力信号が入力される出力用CMOS型インバータ106は、相補接続されたPMOS117とNMOS127とからなり、高電圧電源VDD2が供給され、その出力が高電圧レベル振幅の出力

信号OUTとなる。

【0010】

なお、上記NMOS121～124、127のソースには、それぞれ基準電位VSSが与えられている。

【0011】

上記のような構成の電圧レベルシフタの動作は、以下のようになる。

【0012】

まず、入力信号INがHレベル(VDD1)の場合、第1のCMOS型インバータ102の出力端131はLレベル(VSS)、第2のCMOS型インバータ103の出力端132はHレベル(VDD1)となる。したがって、NMOS124は導通し、NMOS123は非導通となる。

【0013】

NMOS124が導通するため、そのドレイン電位は基準電位VSSとなり、このドレインがゲート入力となっているPMOS113は導通する。そのため、PMOS113のドレイン電位はHレベル(VDD2)となる。したがって、このPMOS113のドレイン電位がゲート入力に与えられるPMOS114は、非導通となる。このような動作により、レベル変換部101の出力端133は、NMOS124のドレイン電位である基準電位VSSとなる。

【0014】

このレベル変換部101の出力端133のレベルを出力用CMOS型インバータ106が反転し、その出力、すなわち出力信号OUTは、Hレベル(VDD2)となる。すなわち、VDD1レベルの入力信号INが、VDD2レベルの出力信号OUTに変換されることになる。

【0015】

一方、入力信号INがLレベル(VSS)の場合、第1のCMOS型インバータ102の出力端131はHレベル(VDD1)、第2のCMOS型インバータ103の出力端132はLレベル(VSS)となる。したがって、NMOS123は導通し、NMOS124は非導通となる。

【0016】



NMOS 123が導通するため、そのドレイン電位は基準電位 $V_{SS}$ となり、このドレインがゲート入力となっているPMOS 114は導通する。そのため、PMOS 114のドレイン電位はHレベル( $V_{DD2}$ )となる。したがって、このPMOS 114のドレイン電位がゲート入力に与えられるPMOS 113は、非導通となる。このような動作により、レベル変換部101の出力端133は、PMOS 114のドレイン電位 $V_{DD2}$ となる。

#### 【0017】

このレベル変換部101の出力端133のレベルを出力用CMOS型インバータ106が反転し、その出力、すなわち出力信号OUTは、Lレベル( $V_{SS}$ )となる。

#### 【0018】

なお、出力用CMOS型インバータ106には、ゲートに与えられる電圧が低くて駆動力の弱いレベル変換部101のNMOS 123、124の駆動力を補強する機能がある。

#### 【0019】

##### 【非特許文献1】

鈴木八十二著、「CMOSの応用技法」、第5版、産報出版株式会社、1982年2月15日、p. 29-30

#### 【0020】

##### 【発明が解決しようとする課題】

上述した電圧レベルシフタが用いられるシステムの例として、図6に示すような異なる電源電圧で動作するLSIを搭載するシステムがある。

#### 【0021】

図6(a)は、高電圧電源 $V_{DD2}$ で動作するマイクロコンピュータ200に、低電圧電源 $V_{DD1}$ で動作する周辺LSI 300からの信号が入力される例を示している。このとき、マイクロコンピュータ200の入力部に電圧レベルシフタ400が設けられ、周辺LSI 300からの $V_{DD1}$ レベルの信号INは、電圧レベルシフタ400に入力され、 $V_{DD2}$ レベルの信号OUTに変換されて、マイクロコンピュータ200の内部回路500に入力される。

**【0022】**

なお、電圧レベルシフタ400には、低電圧電源VDD1と高電圧電源VDD2の両方が供給される。また、基準電位VSSは、マイクロコンピュータ200と周辺LSI300に共通に供給される。

**【0023】**

このようなシステムにおいて、周辺LSI300の種類によっては、常に動作している必要がなく、マイクロコンピュータ200からの呼び出しがあった場合のみ動作すればよいものがある。ここで、マイクロコンピュータ200からの呼び出しがあって動作するときをシステム動作期間、それ以外を待機期間と呼ぶことにする。

**【0024】**

このような待機期間中、周辺LSI300には、動作消費電流は流れないが、オフリーク電流が流れる。近年、CMOSLSIの省電力化・低電圧電源化への流れが進む一方で、高速化への要求も強いため、MOSFET素子のしきい値が下がる傾向にあり、その結果、オフリーク電流が増大する傾向にある。したがって、周辺LSI300の素子数が多い場合、上記待機期間中に周辺LSI300に流れるオフリーク電流が、省電力化の観点から無視できなくなっている。

**【0025】**

そこで、周辺LSI300に待機期間中流れるオフリーク電流を削減する方法として、図6(b)に示すように、待機期間中、周辺LSI300の低電圧電源VDD1の電位を基準電位VSSに切り替える方法が採られている。

**【0026】**

この場合、電圧レベルシフタ400に供給される低電圧電源VDD1の電位も基準電位VSSに切り替わってしまう。

**【0027】**

電圧レベルシフタ400を、図5に示す回路で構成していた場合、このような低電圧電源VDD1の電位の基準電位VSSへの切り替えが、レベル変換部101のPMOS113、114から、それぞれNMOS123、124へ流れる電流、すなわち貫通電流を発生させる要因となる。

**【0028】**

すなわち、低電圧電源VDD1の電位が基準電位VSSに切り替わると、図5の第1のCMOS型インバータ102の出力端131および第2のCMOS型インバータ103の出力端132の出力レベルがともに不安定になることがあり、これらの出力がゲート入力となっているNMOS123およびNMOS124の動作がともに不安定になり、ともに弱い導通状態になることがある。するとNMOS123およびNMOS124のドレイン電位がともに不安定になり、このドレインがゲート入力となっているPMOS113およびPMOS114の動作も不安定になり、これらも、ともに弱い導通状態に陥ることになる。

**【0029】**

このような状態になると、高電圧電源VDD2からPMOS113、NMOS123を経由して基準電位VSSに向かう経路、および高電圧電源VDD2からPMOS114、NMOS124を経由して基準電位VSSに向かう経路にいわゆる貫通電流が流れる。

**【0030】**

また、このような状態では、レベル変換部101の出力端133の出力レベルも不安定な中間電位となり、この出力が入力される出力用CMOS型インバータ106にも貫通電流が流れる。

**【0031】**

このような貫通電流が流れる状態が続くと、電圧レベルシフタを構成する素子の寿命の劣化を招き、電圧レベルシフタを搭載する集積回路の信頼性を損なうことになる。

**【0032】**

そこで、本発明の目的は、低電圧電源の電位が低電圧の電位から基準電位に切り替わっても貫通電流を遮断できる電圧レベルシフタを提供することにある。

**【0033】****【課題を解決するための手段】**

上記目的を達成するために、本発明の電圧レベルシフタは、基準電位とこの基準電位より高い低電圧電源の電位との間の振幅を有する入力信号が入力され、低

電圧電源で動作可能な第1のCMOS型インバータと、前記第1のCMOS型インバータの出力が入力される前記低電圧電源で動作可能な第2のCMOS型インバータと、前記第1のCMOS型インバータの出力にゲートが接続された第1のNチャネルMOSFETと、前記第2のCMOS型インバータの出力にゲートが接続された第2のNチャネルMOSFETと、前記低電圧電源の電位より高い電位の高電圧電源にソースが接続され、ドレインが前記第1のNチャネルMOSFETのドレインに接続され、ゲートが前記第2のNチャネルMOSFETのドレインに接続された第1のPチャネルMOSFETと、前記高電圧電源にソースが接続され、ドレインが前記第2のNチャネルMOSFETのドレインに接続され、ゲートが前記第1のNチャネルMOSFETのドレインに接続された第2のPチャネルMOSFETと、前記基準電位電源にソースが接続され、ドレインが前記第1のNチャネルMOSFETのソースに接続され、ゲートが前記低電圧電源に接続される第3のNチャネルMOSFET、およびソースが前記基準電位電源に接続され、ドレインが前記第2のNチャネルMOSFETのソースに接続され、ゲートが前記低電圧電源に接続される第4のNチャネルMOSFETからなる電流遮断部とを有し、前記第2のPチャネルMOSFETのドレインを出力端とするレベル変換部と、前記レベル変換部の出力端からの信号が入力されて、前記基準電位と前記高電圧電源の電位との間の振幅を有する出力信号を出力する第3のCMOS型インバータ、および前記レベル変換部の出力端を前記高電圧電源の電位または基準電位のいずれかに保持するための保持回路からなる出力保持部とを具備したことを特徴とする。

#### 【0034】

このような本発明によれば、低電圧電源の電位が基準電位になったときにレベル変換部に流れる貫通電流が遮断される。また、出力保持部が、レベル変換部の出力レベルを高電圧電源の電位または基準電位のいずれかに安定に保持するため、出力用CMOS型インバータにも貫通電流は流れない。そのため、電圧レベルシフタを構成する素子の寿命を劣化させることなく、電圧レベルシフタを搭載する集積回路の信頼性を向上させることができる。

#### 【0035】

**【発明の実施の形態】**

以下、図面を参照しながら本発明の実施の形態を説明する。

**【0036】**

(実施の形態)

図1は、本発明の実施の形態に係る電圧レベルシフタの構成を示す回路図である。本実施の形態に係る電圧レベルシフタは、レベル変換部1と出力保持部5により構成され、レベル変換部1には、貫通電流を遮断するための電流遮断部4が含まれる。

**【0037】**

まず、レベル変換部1の構成について説明する。

**【0038】**

レベル変換部1は、第1および第2のCMOS型インバータ2、3を備えている。第1のCMOS型インバータ2は、相補接続されたPMOS11とNMOS21から構成され、第1の電位として、基準電位VSSより高い電位が低電圧電源VDD1から供給される。第2のCMOS型インバータ3は、相補接続されたPMOS12とNMOS22から構成され、低電圧電源VDD1の電源電位が供給される。

**【0039】**

また、レベル変換部1は、第2の電位として、低電圧電源VDD1の電源電位より電源電位が高い高電圧電源VDD2の電源電位にソースが接続されるPMOS13およびPMOS14と、PMOS13のドレインにドレインが接続されるNMOS23と、PMOS14のドレインにドレインが接続されるNMOS24とを有している。PMOS13のゲート入力には、PMOS14のドレイン（NMOS24のドレインと共通）が接続され、PMOS14のゲート入力には、PMOS13のドレイン（NMOS23のドレインと共通）が接続される。

**【0040】**

これに加えて、さらに、NMOS23のソースにドレインが接続されるNMOS25と、NMOS24のソースにドレインが接続されるNMOS26とからなる電流遮断部4を有している。

**【0041】**

また、NMOS 21、22およびNMOS 25、26のソースは、基準電位VSSに接続されている。

**【0042】**

そして、PMOS 14のドレイン（NMOS 24のドレインと共通）がレベル変換部1の出力端33となっている。

**【0043】**

この構成において、低電圧レベル振幅の入力信号INは、第1のCMOS型インバータ2の入力信号となり、第1のCMOS型インバータ2の出力端31の出力信号は、第2のCMOS型インバータ3の入力信号となる。また、第1のCMOS型インバータ2の出力信号は、NMOS 23のゲート入力信号となり、第2のCMOS型インバータ3の出力端32の出力信号は、NMOS 24のゲート入力信号となる。

**【0044】**

なお、電流遮断部4を構成するNMOS 25とNMOS 26のゲート入力には、低電圧電源VDD1の電源電位が供給される。

**【0045】**

次に、レベル変換部1の出力端33からの出力信号が入力される出力保持部5の構成について説明する。

**【0046】**

出力保持部5は、相補接続されたPMOS 17とNMOS 27とからなる出力用CMOS型インバータ6と、相補接続されたPMOS 18とNMOS 28とからなる帰還用CMOS型インバータ7により構成されている。それぞれのCMOS型インバータ6、7には、高電圧電源VDD2の電源電位が供給されており、出力保持部5の出力が高電圧レベル振幅の出力信号OUTとなる。また、NMOS 27およびNMOS 28のソースは、基準電位VSSに接続されている。

**【0047】**

この出力保持部5において、出力端33から出力されるレベル変換部1の出力信号は、出力用CMOS型インバータ6に入力され、出力用CMOS型インバー

タ 6 の出力である出力信号 O U T は、帰還用 C M O S 型インバータ 7 に入力される。そして、この帰還用 C M O S 型インバータ 7 の出力は、出力用 C M O S 型インバータ 6 の入力端、すなわちレベル変換部 1 の出力端 3 3 に接続されている。上記の接続により、出力用 C M O S 型インバータ 6 と帰還用 C M O S 型インバータ 7 は、レベル変換部 1 の出力端 3 3 の出力レベルを自己に帰還させる正帰還回路を形成し、レベル変換部 1 の出力端 3 3 の信号レベルを保持する働きをする。なお、この正帰還に要する時間をレベル変換部 1 の出力端 3 3 の出力レベルの遷移に要する時間よりも短くするために、出力用 C M O S 型インバータ 6 と帰還用 C M O S 型インバータ 7 の応答速度は、レベル変換部 1 の出力遷移速度よりも速いものとする。

#### 【0048】

次に、本実施の形態の電圧レベルシフタの動作について説明する。ここでは、本実施の形態の電圧レベルシフタが、図 6 (a)、(b) を用いて説明したような、待機期間中は低電圧電源の電位  $V_{DD1}$  が基準電位  $V_{SS}$  に切り替えて用いられるシステムに搭載されたときの動作を中心に説明する。

#### 【0049】

低電圧電源  $V_{DD1}$  の電位が、システム動作時の通常の電位である場合、図 2 (a) に示すように、電流遮断部 4 を構成する N M O S 2 5 および N M O S 2 6 は、ともにそのゲートソース間電圧が正電圧であるため、導通状態である。したがって、N M O S 2 5 および N M O S 2 6 のドレインにそれぞれ接続される N M O S 2 3 および N M O S 2 4 のソースは、それぞれ基準電位  $V_{SS}$  になる。

#### 【0050】

また、このとき、出力保持部 5 は、レベル変換部 1 の出力端 3 3 の電位を保持する働きをする。

#### 【0051】

一方、システムが待機状態となり、低電圧電源の電位  $V_{DD1}$  が、基準電位  $V_{SS}$  に切り替えられると、第 1 の C M O S 型インバータ 2 の出力端 3 1 および第 2 の C M O S 型インバータ 3 の出力端 3 2 のレベルがともに不安定になることがあり、これが、N M O S 2 3 と N M O S 2 4、および P M O S 1 3 と P M O S 1

4 がともに弱い導通状態になる現象を引き起こすことがある。

【0052】

この現象により、高電圧電源VDD2から基準電位VSSに向かって、PMOS13とNMOS23を経由する経路およびPMOS14とNMOS24を経由する経路に貫通電流が流れようとする。

【0053】

しかしながら、図2(b)に示すように、低電圧電源の電位VDD1が基準電位VSSに切り替えられたとき、電流遮断部4を構成するNMOS25およびNMOS26は、ともにそのゲートソース間電圧が零となり、非導通状態になる。

【0054】

これにより、高電圧電源VDD2から、PMOS13とNMOS23を経由する経路およびPMOS14とNMOS24を経由する経路を通して、基準電位VSSに流れようとした貫通電流の流路が、ともに遮断されることになる。

【0055】

したがって、低電圧電源VDD1の電位が基準電位VSSに切り替えられても、レベル変換部1に貫通電流が流れることはない。

【0056】

また、PMOS14とNMOS24がともに弱い導通状態になると、レベル変換部1の出力端33はインピーダンスの高い状態になるが、このとき、レベル変換部1の出力端33には、出力保持部5の帰還用CMOS型インバータ7により、低電圧電源VDD1の電位が基準電位VSSに切り替えられる直前の出力信号OUTの反転信号、すなわち、レベル変換部1の出力端33のレベルが帰還されている。

【0057】

帰還用CMOS型インバータ7は、弱い導通状態のPMOS14およびNMOS24より駆動力が強いため、レベル変換部1の出力端33は、帰還用CMOS型インバータ7により駆動され、低電圧電源VDD1の電位が基準電位VSSに切り替わっている間、レベル変換部1の出力端33には、その切り替え直前のレ



ベルが安定に保持される。すなわち、システム待機期間中、出力保持部 5 はシステム待機に入る直前のレベル変換部 1 の出力端 33 のレベルを保持し、その出力である出力信号 OUT も、システム待機に入る直前のレベルが安定に保持される。

#### 【0058】

図 3 は、この帰還用 CMOS 型インバータ 7 有する出力保持部 5 の効果を示す図である。すなわち、図 3 (a) は、帰還用 CMOS 型インバータ 7 を持たない従来の電圧レベルシフタの出力信号 OUT の波形を示すものであり、低電圧電源 VDD1 の電位が基準電位 VSS に切り替わるシステム待機時には、出力信号 OUT が不安定になることを示している。

#### 【0059】

これに対し、図 3 (b) は、帰還用 CMOS 型インバータ 7 を有する本実施例の電圧レベルシフタの出力信号 OUT の波形を示すものであり、低電圧電源 VDD1 の電位が基準電位 VSS に切り替わるシステム待機時には、出力信号 OUT が、システム待機に切り替わる直前のレベルを保持していることを示している。

#### 【0060】

このように、従来の電圧レベルシフタと異なり、低電圧電源 VDD1 の電位が基準電位 VSS に切り替わったときにも、レベル変換部 1 の出力端 33 のレベルが安定していて、不安定な中間電位になることがないため、レベル変換部 1 の出力端 33 の出力信号が入力される出力保持部 5 の出力用 CMOS 型インバータ 6 にも貫通電流が流れることがない。

#### 【0061】

なお、上述した実施の形態では、出力保持部 5 を、出力用 CMOS 型インバータ 6 と帰還用 CMOS 型インバータ 7 からなる正帰還回路としているが、出力保持部は、このような正帰還回路に限るものではなく、低電圧電源の電位が基準電位に切り替わったときに、レベル変換部の出力を高電圧電源の電位または基準電位のいずれかに安定に保持できる回路であればどのような回路であってもよい。

#### 【0062】

(変形例)

図4は、本実施の形態の電圧レベルシフタの変形例の構成を示す回路図である。この変形例においては、PMOS13のソースおよびPMOS14のソースと高電圧電源VDD2の間に、それぞれPMOS41とPMOS42が挿入されている。そして、このPMOS41とPMOS42のゲートはともに基準電位VSSに接続されている。そのため、PMOS41とPMOS42は常に導通状態となっており、PMOS13のソースおよびPMOS14のソースには、常に高電圧電源VDD2の電位が与えられる。

#### 【0063】

したがって、図4の変形例の回路の動作も図1に示した回路の動作と同じである。

#### 【0064】

この変形例に示すように、PMOS13のソースおよびPMOS14のソースは、高電圧電源VDD2に直接接続されなくてもよく、PMOSなどの素子を介して高電圧電源VDD2の電位が供給されるものであってもよい。

#### 【0065】

##### 【発明の効果】

本発明によれば、低電圧電源の電位が基準電位に変化しても、電圧レベルシフタのPMOSからNMOSに流れる貫通電流を遮断できるため、電圧レベルシフタを構成する素子の劣化を防止でき、電圧レベルシフタを搭載する集積回路の信頼性を向上させることができる。

##### 【図面の簡単な説明】

【図1】 本発明の実施の形態に係る電圧レベルシフタの構成を示す回路図。

【図2】 本発明の実施の形態に係る電圧レベルシフタの電流遮断部の動作を説明するための図。

【図3】 本発明の実施の形態に係る電圧レベルシフタの出力保持部の効果を説明するための波形図。

【図4】 本発明の実施の形態に係る電圧レベルシフタの変形例の構成を示す回路図。

【図5】 従来の電圧レベルシフタの構成例を示す回路図。

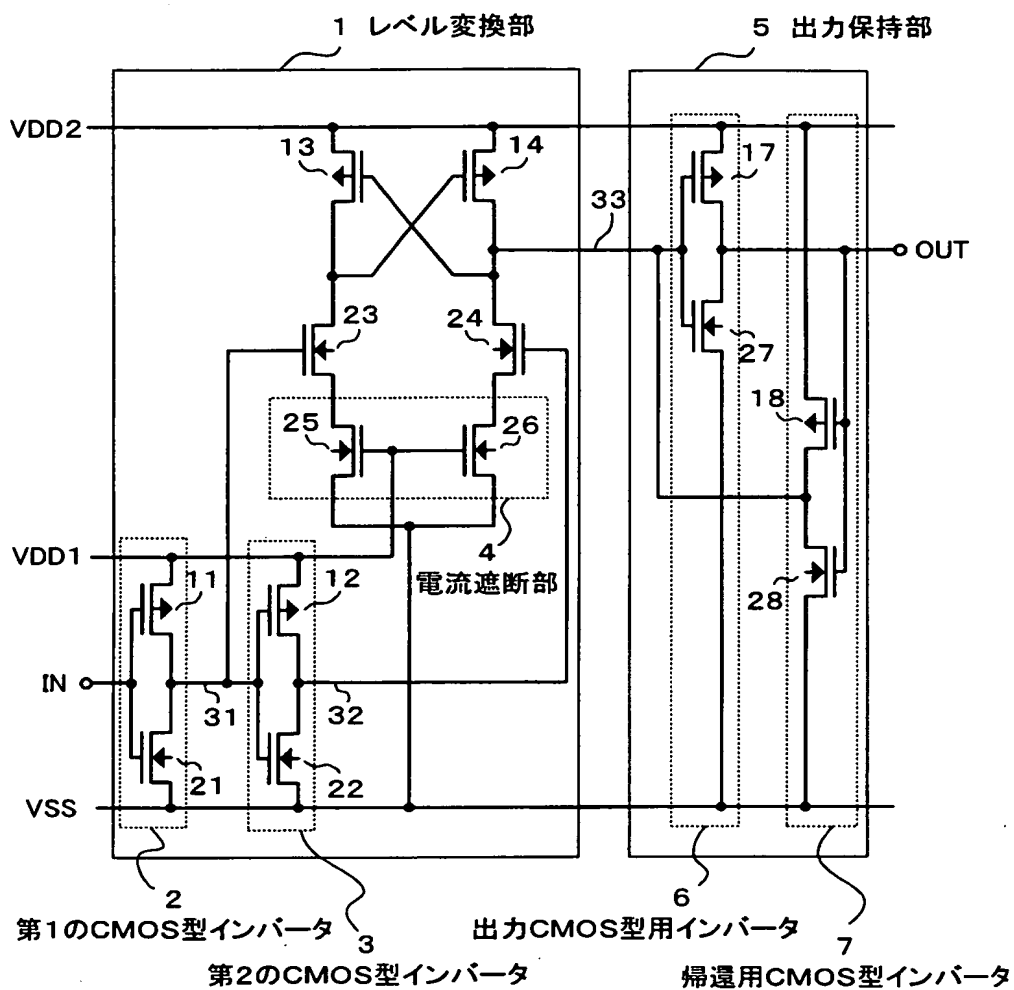
【図6】 異なる電源電圧で動作するLSIを搭載するシステムの例を示す図。

【符号の説明】

- 1、101 レベル変換部
- 2、102 第1のCMOS型インバータ
- 3、103 第2のCMOS型インバータ
- 4 電流遮断部
- 5 出力保持部
- 6、106 出力用CMOS型インバータ
- 7 帰還用CMOS型インバータ
- 11、12、13、14、17、18、41、42、  
111、112、113、114、117 PチャネルMOSFET
- 21、22、23、24、25、26、27、28、  
121、122、123、124、127 NチャネルMOSFET
- 31、32、33、131、12、133 出力端
- 200 マイクロコンピュータ
- 300 周辺LSI
- 400 電圧レベルシフタ
- 500 内部回路
- VDD1 低電圧電源
- VDD2 高電圧電源
- VSS 基準電位

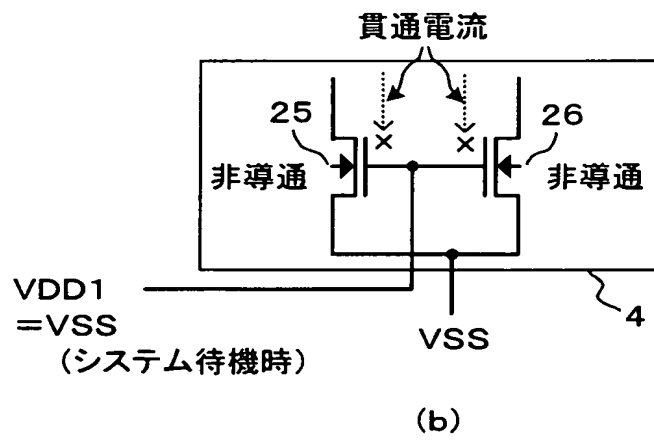
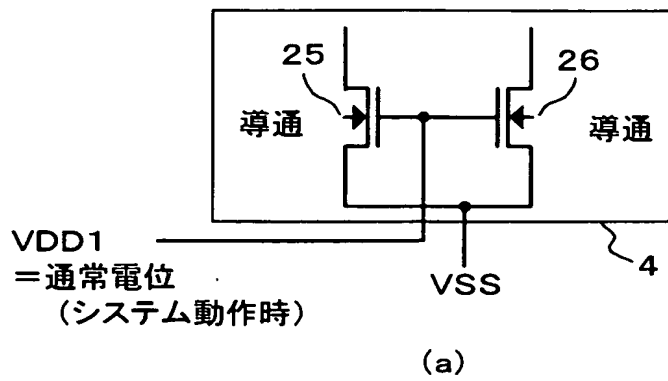
【書類名】 図面

【図1】

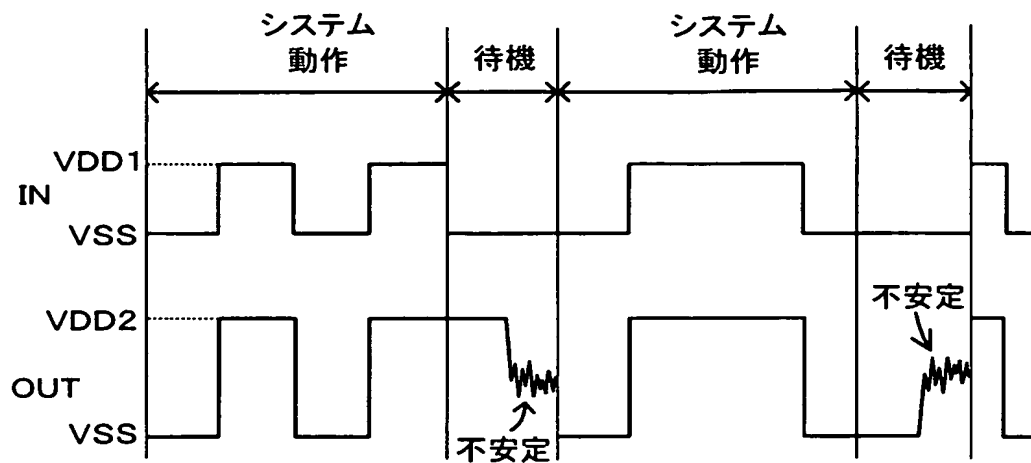


11、12、13、14、17、18:PチャネルMOSFET  
 21、22、23、24、25、26、27、28:NチャネルMOSFET  
 31、32、33:出力端  
 VDD1:低電圧電源  
 VDD2:高電圧電源  
 VSS:基準電位  
 IN:入力信号  
 OUT:出力信号

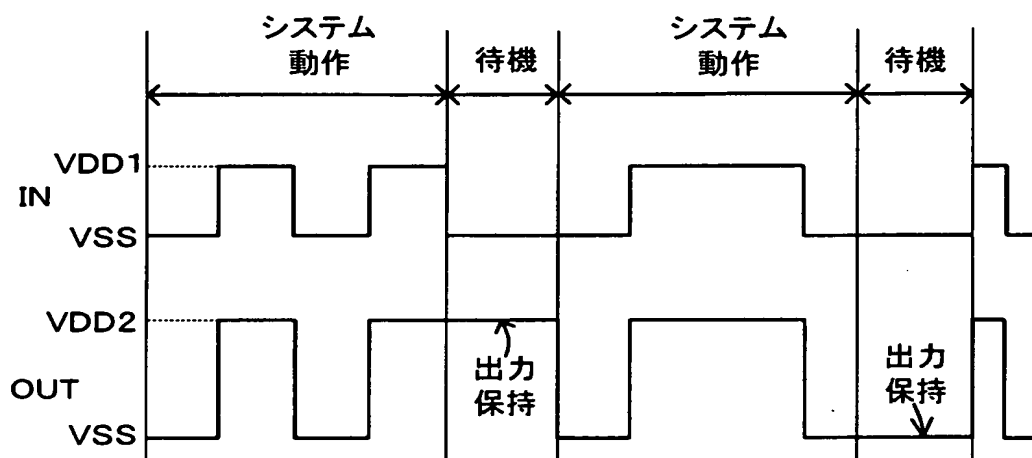
【図 2】



【図 3】

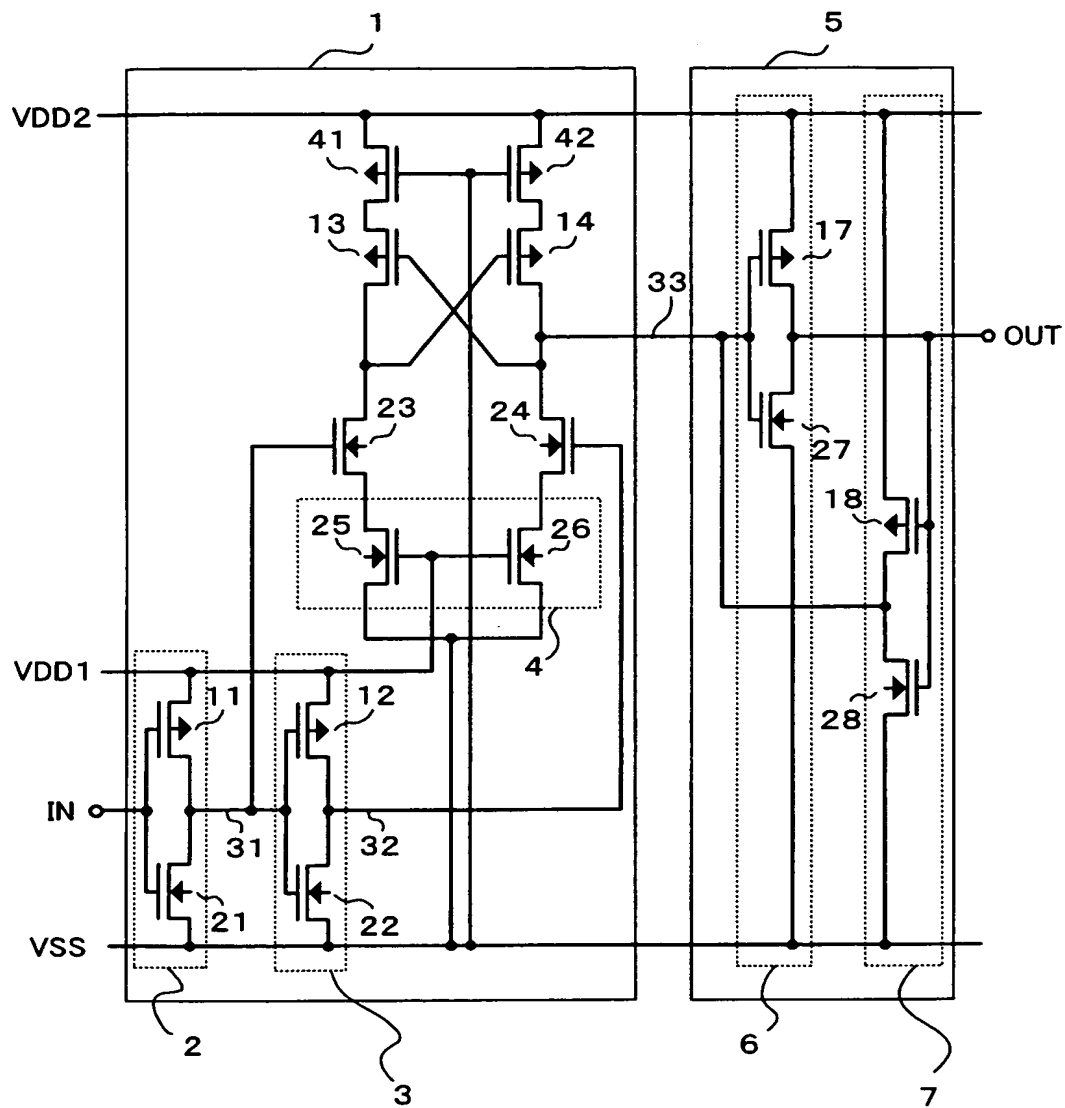


(a)



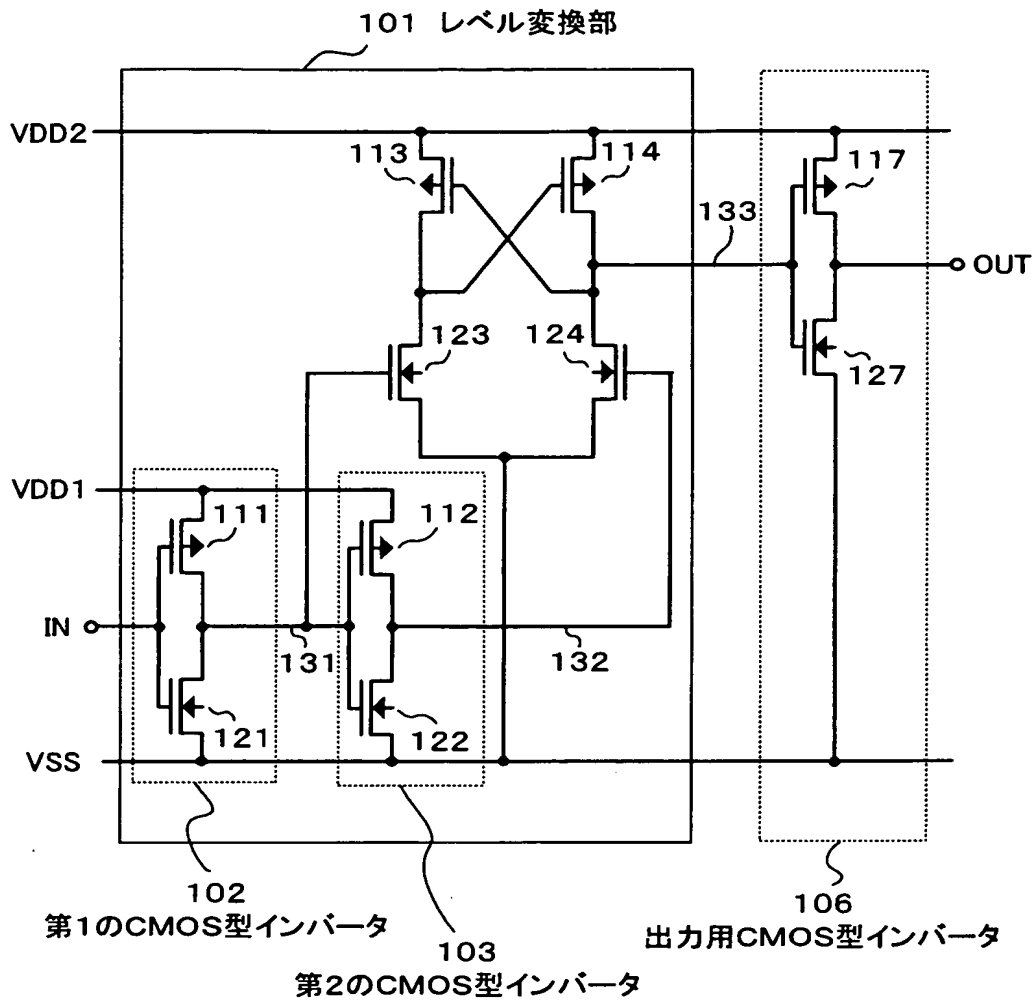
(b)

【図 4】



41、42:PチャンネルMOSFET

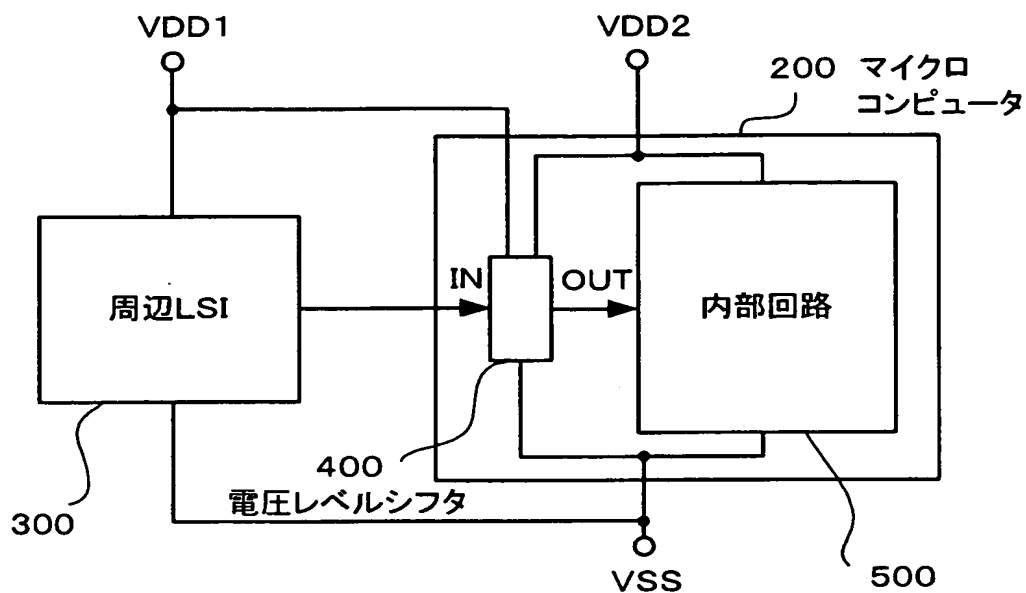
【図5】



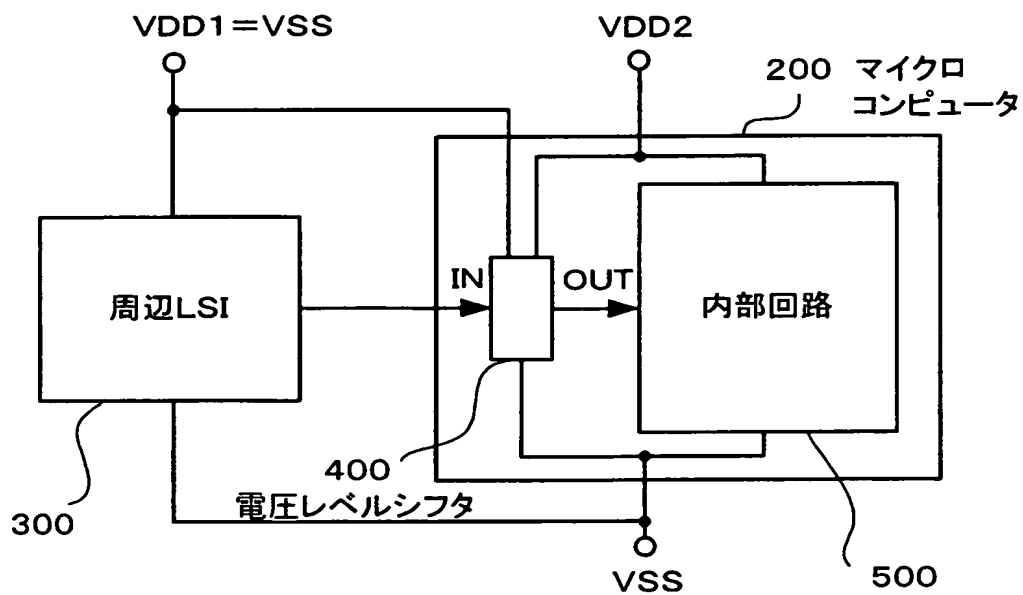
111、112、113、114、117:PチャネルMOSFET  
 121、122、123、124、127:NチャネルMOSFET  
 131、132、133:出力端  
 VDD1:低電圧電源  
 VDD2:高電圧電源  
 VSS:基準電位  
 IN:入力信号  
 OUT:出力信号



【図 6】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 低電圧電源の電位が低電圧の電位から基準電位に変化しても、貫通電流を遮断できる電圧レベルシフタを提供すること

【解決手段】 レベル変換部 1 にゲート入力が低電圧電源  $VDD1$  に接続された NMOS 2 5 と NMOS 2 6 からなる電流遮断部 4 を設ける。低電圧電源  $VDD1$  の電位が基準電位  $VSS$  に変化しときには、この NMOS 2 5 と NMOS 2 6 が、ともに非道通となって、低電圧電源  $VDD1$  で駆動される第 1 および第 2 の CMOS 型インバータ 1 1、1 2 の出力がともに不安定になることによって惹起されるレベル変換部 1 の高電圧電源  $VDD2$  から基準電位  $VSS$  に向かう貫通電流を遮断する。また、出力保持部 5 により、レベル変換部 1 の出力端 3 3 のレベルを安定に保持するため、出力用 CMOS 型インバータ 6 にも貫通電流は流れない。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 5 3 9 0		
受付番号	5 0 3 0 0 2 8 8 3 9 4		
書類名	特許願		
担当官	第八担当上席	0 0 9 7	
作成日	平成 1 5 年 2 月 2 5 日		

### < 認定情報・付加情報 >

【提出日】	平成15年 2月24日
-------	-------------

次頁無

特願 2 0 0 3 - 0 4 5 3 9 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1 . 変更年月日

2 0 0 1 年    7 月    2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝

特 願 2 0 0 3 - 0 4 5 3 9 0

出 願 人 履 歴 情 報

識別番号

[ 5 9 8 0 1 0 5 6 2 ]

1 . 変更年月日

1 9 9 8 年    1 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 5 8 0 番地

氏 名

東芝エルエスアイシステムサポート株式会社